

“微纳电子技术”重点专项 2024 年度 项目申报指南建议

(征求意见稿)

1. 超越摩尔的微纳器件技术

1.1 同质垂直互补器件与在片三维 SRAM 集成技术(基础研究类)

研究内容: 面向高性能计算核心芯片架构变革对集成电路三维器件与电路集成方式的突破需求, 研究顺序集成的同质垂直互补器件(CFET)与在片三维静态随机存储器(3D SRAM)集成技术。研究晶圆级硅膜片上转移与类单晶成晶技术, 探索低温下缺陷与应力产生机理及抑制方法; 研究器件顺序集成与结构设计方法, 突破低温工艺下高性能硅基三维互补金属-氧化物-半导体(CMOS)晶体管集成关键技术, 实现器件集成密度提升和驱动性能增强; 开展三维器件建模与电路-工艺协同优化研究, 研究基于顺序 CFET 的高密度在片 SRAM 电路设计与集成技术, 实现存储单元晶体管密度的大幅提升。

考核指标: 在底层逻辑晶圆上实现晶圆级硅材料同片集成, 上层载流子有效迁移率 $\geq 150 \text{ cm}^2/\text{V}\cdot\text{s}$; 获得 ≥ 2 层高 K 金属栅 MOS 器件的垂直互补顺序集成, MOS 器件最小栅长 $\leq 20\text{nm}$, 上层低温(不高于 500°C)工艺实现器件电流驱动性能达到下层器

件 80%以上，电流 $\geq 300\mu\text{A}/\mu\text{m}$ ，电流开关比 ≥ 100 万；完成基于垂直互补器件的 3D SRAM 原型电路设计及制备，存储单元面积相比单层器件缩小 30%以上。

关键词：互补型场效应晶体管（CFET），顺序集成，低温工艺，迁移率。

1.2 柔性二维半导体器件与电路研究（青年科学家项目）

研究内容：面向多功能融合的柔性可穿戴应用，发展基于柔性的衬底二维半导体器件与电路技术。研究柔性衬底二维半导体转移技术，实现晶圆级柔性二维半导体材料；研究柔性衬底上二维半导体逻辑与存储器件关键工艺，实现高性能晶体管和高可靠性非易失存储器原型器件；开发二维半导体柔性电路集成工艺，实现柔性二维半导体门电路与存储器阵列演示。

考核指标：实现晶圆级二维半导体材料转移至柔性衬底，曲率半径 $\leq 5\text{mm}$ ；柔性二维半导体晶体管电流密度 $\geq 500\mu\text{A}/\mu\text{m}$ ，电流开关比 ≥ 1 亿，柔性非易失存储器擦写次数 ≥ 10 万次，存储器阵列规模 ≥ 1000 个晶体管；实现柔性反相器、与非门、或非门、同或门、异或门等基本逻辑门电路和存储电路功能演示。

关键词：柔性，二维半导体，器件，电路。

2. 智能与敏捷设计方法

2.1 先进计算芯片的系统 - 工艺协同设计 (STCO) 方法研究 (共性关键技术类)

研究内容: 面向 AI 芯片高算力、高带宽需求, 基于 2.5D 先进封装技术, 开展系统 - 工艺协同设计优化 (STCO) 方法研究, 形成相关工具和协同设计流程。开发跨工艺设计平台, 支持多工艺混合设计及一体化仿真验证等; 开发电、磁、热多物理场仿真工具, 支持先进封装的性能、功耗和可靠性仿真; 研究系统级多芯粒架构仿真和优化技术, 支持从封装物理约束到系统架构参数的协同仿真。

考核指标: 研制系统 - 工艺协同设计优化 (STCO) 工具并形成流程, 并应用于一款基于 2.5D 封装形式的典型 AI 芯片设计。研制跨工艺设计平台, 协同设计工艺数量 ≥ 2 个, 高速模拟信号自动布线数量 ≥ 10 万根; 研制多物理场仿真工具原型, 实现多芯粒芯片间的电热、电磁等效效应仿真, 相比国外成熟工具高速模拟信号的信号完整性仿真精度误差 $\leq 5\%$; 研制 AI 芯片架构仿真工具, 支持芯片和封装等参数的设计空间探索, 实现全系统性能、功耗和面积评估。

关键词: 系统 - 工艺协同设计, 多物理场仿真, 跨工艺设计平台, 系统仿真。

3. 新应用驱动的电技术

3.1 高能效类脑器件及其智能芯片关键技术研究（共性关键技术类）

研究内容：面向端侧无人平台等智能应用对于智能芯片低功耗、高能效、在线学习等发展需求，研究存算融合单元与阵列，多级流水存算电路实现，存算架构高效率映射调度方法；研究人工神经网络和脉冲神经网络的异构融合架构、片上高效类脑神经网络训练算法；研究类脑器件的高能效电路与芯片技术，研制异步并行、在线学习的智能类脑计算芯片；开展高能效低功耗类脑智能芯片在端侧无人平台的示范应用。

考核指标：研制高能效类脑器件及类脑智能芯片，类脑单元的计算能耗 $\leq 1\text{pJ/SOP}$ ；支持基于存内计算机制的智能推断功能，推断能效 $\geq 50\text{TOPS/W}$ ，支持基于脉冲计算机制的片上在线学习功能，训练能效 $\geq 1\text{TSOPS/W}$ ；类脑智能芯片支持脉冲神经网络（SNN）、卷积神经网络（CNN）、深度神经网络（DNN）等多种典型智能算法，支持典型算子数量不少于10种；研制的类脑智能芯片在端侧无人平台上实现典型人工智能模型的验证。

关键词：类脑，存算融合，异构融合，在线学习。

4. 模块化组装与集成

4.1 芯粒预制件库构建及异构集成处理器敏捷定制技术（青年科学家项目）

研究内容:面向典型智能边端应用场景，探索芯粒预制件库构建方法以及异构集成处理器敏捷定制技术。研究芯粒预制件划分以及芯粒预制件库定制方法；研究面向异构芯粒集成的数据共享机制，支持芯粒间数据一致性策略定制化融合以及封装体内缓存容量灵活扩展；研究异构芯粒间互连和容错架构的定制方法；构建异构多芯粒处理器系统架构评估和仿真环境，面向智能机器人等智能边端场景实现异构集成处理器敏捷定制设计。

考核指标:形成芯粒预制件示范库，包括中央处理器（CPU）芯粒、图形处理加速器（GPU）芯粒、神经网络加速器（NPU）芯粒、接口芯粒、存储芯粒等 5 种以上典型芯粒；数据一致性机制支持差异化缓存行状态和缓存行粒度的定制化融合，256 个处理核心共享存储访问延迟 ≤ 100 个时钟周期；支持 2.5D/3D 集成方式下可检测互连故障和硅通孔缺陷的修复，修复率 $\geq 99\%$ ；面向智能机器人等典型智能边端场景，实现异构多芯粒集成处理器系统架构的敏捷定制与快速仿真评估，芯粒规模 ≥ 64 个，芯粒种类 ≥ 5 种。

关键词: 芯粒预制件库，异构多芯粒处理器，智能边端场景。

4.2 面向三维集成芯片的热物性与应变表征技术研究(青年科学家项目)

研究内容: 面向三维集成芯片中的高密度互连结构的散热挑战, 研究键合界面处力学应变与互连结构尺寸微缩对导热的影响机制以及力学应变对界面导热调控理论模型; 研究低温低应力低热阻界面键合技术; 研究三维集成芯片热物性和应变同步大面积扫描技术, 实现跨尺度多界面多物理场耦合下材料的高精度热物性及应变表征。

考核指标: 界面键合工艺温度 $\leq 300^{\circ}\text{C}$, 界面热阻 $\leq 0.5\text{m}^2\cdot\text{K}/\text{GW}$, 界面应力 $\leq 50\text{MPa}$; 结温 $\leq 85^{\circ}\text{C}$, 芯片热点热流密度 $\geq 1000\text{W}/\text{cm}^2$; 开发新型同步测量平台, 实现面内空间测绘分辨率 $\leq 80\mu\text{m}$, 热导率测量精度 $\leq 8\%$, 应变测量精度 $\leq 0.1\%$ 。

关键词: 低热阻界面键合, 热物性表征, 应变表征。